



PATENT
Attorney Docket No.: SAM-0517
Customer No.: 29344

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

Applicant(s): Jae-Hyun Kim, *et al.*

Examiner: Not yet assigned

Serial No.: 10/776,064

Group Art Unit: Not yet assigned

Filing Date: February 11, 2004

Title: METHOD OF FABRICATING A SEMICONDUCTOR DEVICE HAVING A
PHOTO-SENSITIVE POLYIMIDE LAYER AND A DEVICE FABRICATED
IN ACCORDANCE WITH THE METHOD

CERTIFICATE OF MAILING UNDER 37 C.F.R. § 1.8

I hereby certify that this correspondence is being deposited with the United States Post Office as First Class Mail on the date indicated below in an envelope addressed to Commissioner for Patents, P.O. Box 1450, Alexandria, VA 22313-1450.

3-26-04

Date

Vanessa Marakas
Vanessa Marakas

Commissioner for Patents

P.O. Box 1450

Alexandria, VA 22313-1450

TRANSMITTAL LETTER

Sir:

Enclosed herewith for filing in the above-identified patent application please find the following listed items:

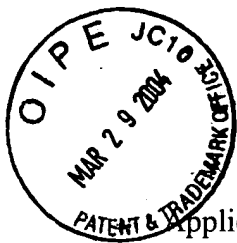
1. Transmittal of Priority Document;
2. Certified Copy of Priority Document - Korean Application No. 03-54762; and
3. Return Postcard.

In connection with the foregoing matter, please charge any additional fees which may be due, or credit any overpayment, to Deposit Account Number 50-1798. A duplicate copy of this letter is provided for this purpose.

Respectfully submitted,

Date: March 26, 2004
Mills & Onello, LLP
Eleven Beacon Street, Suite 605
Boston, MA 02108
Telephone: (617) 994-4900
Facsimile: (617) 742-7774
J:\SAM\0517\transpriordoc.wpd

Anthony P. Onello, Jr.
Anthony P. Onello, Jr.
Registration Number 38,572
Attorney for Applicant



IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

Applicant(s): Jae-Hyun Kim, *et al.*

Examiner: Not yet assigned

Serial No.: 10/776,064

Group Art Unit: Not yet assigned

Filing Date: February 11, 2004

Title: METHOD OF FABRICATING A SEMICONDUCTOR DEVICE HAVING A
PHOTO-SENSITIVE POLYIMIDE LAYER AND A DEVICE FABRICATED
IN ACCORDANCE WITH THE METHOD

CERTIFICATE OF MAILING UNDER 37 C.F.R. § 1.8

I hereby certify that this correspondence is being deposited with the United States Post Office as First Class Mail on the date indicated below in an envelope addressed to Commissioner for Patents, P.O. Box 1450, Alexandria, VA 22313-1450.

3-26-04

Date

Vanessa Marakas
Vanessa Marakas

Commissioner for Patents
P.O. Box 1450
Alexandria, VA 22313-1450

TRANSMITTAL OF PRIORITY DOCUMENT

Sir:

Transmitted herewith for filing in the captioned application is the certified copy of the Korean Priority document, Korean patent application 03-54762.

Respectfully submitted,

Date:

March 26, 2004
Mills & Onello, LLP
Eleven Beacon Street, Suite 605
Boston, MA 02108

Telephone: (617) 994-4900

Facsimile: (617) 742-7774

J:\SAM\0517\prioritydoctrans.wpd

Anthony P. Onello, Jr.

Anthony P. Onello, Jr.
Registration Number 38,572
Attorney for Applicant



별첨 사본은 아래 출원의 원본과 동일함을 증명함.

This is to certify that the following application annexed hereto is a true copy from the records of the Korean Intellectual Property Office.

출원번호 : 10-2003-0054762
Application Number

출원년월일 : 2003년 08월 07일
Date of Application
AUG 07, 2003

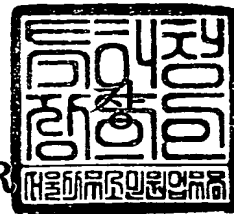
출원인 : 삼성전자주식회사
Applicant(s) SAMSUNG ELECTRONICS CO., LTD.



2004 년 03 월 12 일

특 허 청

COMMISSIONER



【서지사항】

【서류명】	특허출원서
【권리구분】	특허
【수신처】	특허청장
【제출일자】	2003.08.07
【발명의 명칭】	감광성 폴리이미드막을 사용하여 반도체소자를 제조하는 방법
【발명의 영문명칭】	Method of fabricating a semiconductor device using a photo-sensitive polyimide layer
【출원인】	
【명칭】	삼성전자 주식회사
【출원인코드】	1-1998-104271-3
【대리인】	
【성명】	박상수
【대리인코드】	9-1998-000642-5
【포괄위임등록번호】	2000-054081-9
【발명자】	
【성명의 국문표기】	김재현
【성명의 영문표기】	KIM, JAE HYUN
【주민등록번호】	720409-1143422
【우편번호】	402-010
【주소】	인천광역시 남구 송의동 350-34번지 대오워드빌아파트 103동 302호
【국적】	KR
【발명자】	
【성명의 국문표기】	신동원
【성명의 영문표기】	SHIN, DONG WON
【주민등록번호】	670308-1052025
【우편번호】	463-050
【주소】	경기도 성남시 분당구 서현동(시범단지) 한신아파트 113-1103호
【국적】	KR
【발명자】	
【성명의 국문표기】	김부득
【성명의 영문표기】	KIM, BOO DEUK
【주민등록번호】	691219-1162312

【우편번호】	442-707
【주소】	경기도 수원시 팔달구 망포동 벽산아파트 102동 1101호
【국적】	KR
【발명자】	
【성명의 국문표기】	이창호
【성명의 영문표기】	LEE,CHANG HO
【주민등록번호】	700919-1691020
【우편번호】	442-706
【주소】	경기도 수원시 팔달구 망포동 동수원엘지빌리지 109/1104
【국적】	KR
【발명자】	
【성명의 국문표기】	김원미
【성명의 영문표기】	KIM,WON MI
【주민등록번호】	780429-2951111
【우편번호】	449-901
【주소】	경기도 용인시 기흥읍 농서리 지예당 수선화동 101호
【국적】	KR
【발명자】	
【성명의 국문표기】	박석봉
【성명의 영문표기】	PARK,SEOK BONG
【주민등록번호】	751014-1117846
【우편번호】	449-901
【주소】	경기도 용인시 기흥읍 농서리 월계수동 812호
【국적】	KR
【심사청구】	청구
【취지】	특허법 제42조의 규정에 의한 출원, 특허법 제60조의 규정에 의한 출원심사를 청구합니다. 대리인 박상수 (인)
【수수료】	
【기본출원료】	20 면 29,000 원
【가산출원료】	3 면 3,000 원
【우선권주장료】	0 건 0 원
【심사청구료】	17 항 653,000 원
【합계】	685,000 원



1020030054762

출력 일자: 2004/3/13

【첨부서류】

1. 요약서·명세서(도면)_1통

【요약서】**【요약】**

감광성 폴리이미드막을 사용하여 반도체소자를 제조하는 방법이 제공된다. 이 방법은 반도체기판 상부에 감광성 폴리이미드막 및 포토레지스트막을 차례로 형성하는 것을 구비한다. 상기 포토레지스트막은 500Å 또는 그보다 작은 두께로 형성한다. 상기 포토레지스트막 및 상기 감광성 폴리이미드막을 포토 마스크를 사용하여 노광시킨다. 상기 노광 공정 동안 상기 포토 마스크의 바코드 영역 및/또는 마스크 정렬키 영역을 통과하는 반사광들이 발생할지라도, 상기 포토레지스트막의 존재에 기인하여 상기 반사광들에 의해 상기 감광성 폴리이미드막의 소정영역이 노광되는 것을 방지할 수 있다.

【대표도】

도 6

【명세서】**【발명의 명칭】**

감광성 폴리이미드막을 사용하여 반도체소자를 제조하는 방법 {Method of fabricating a semiconductor device using a photo-sensitive polyimide layer}

【도면의 간단한 설명】

도 1 및 도 2는 감광성 폴리이미드막을 사용하여 반도체소자를 제조하는 종래의 방법을 설명하기 위한 단면들이다.

도 3은 일반적인 감광성 폴리이미드막 및 포토레지스트막의 광감도들(photo sensitivities)를 설명하기 위한 그래프이다.

도 4 내지 도 7은 본 발명의 실시예에 따른 반도체소자의 제조방법을 설명하기 위한 단면도들이다.

도 8은 본 발명에 따른 반도체소자의 제조에 사용되는 감광성 폴리이미드막의 노광공정을 설명하기 위한 스텝퍼의 개략도이다.

【발명의 상세한 설명】**【발명의 목적】****【발명이 속하는 기술분야 및 그 분야의 종래기술】**

<5> 본 발명은 반도체소자의 제조방법에 관한 것으로, 특히 감광성 폴리이미드막을 사용하여 반도체소자를 제조하는 방법에 관한 것이다.

<6> 반도체기판에 형성된 반도체소자들(반도체 칩들)은 외부의 환경(external environment)으로부터의 영향을 배제시키기 위하여 어셈블리 공정을 통하여 밀봉된다(encapsulate). 상기

어셈블리 공정은 상기 반도체 칩들을 둘러싸는 에폭시 성형 화합물(epoxy molding compound)을 형성하는 것을 포함한다. 이에 더하여, 상기 반도체 칩들의 표면들은 상기 어셈블리 공정 전에 후반공정들(back-end processes)을 통하여 패시베이션막 및 폴리이미드막으로 덮여진다. 이 경우에, 상기 폴리이미드막은 상기 에폭시 성형 화합물이 상기 반도체 칩들에 가하는 스트레스를 경감시키는(alleviate) 완충막(buffer layer)으로서 작용한다.

<7> 더 나아가서, 상기 폴리이미드막은 상기 반도체 칩들 내부로 알파입자들(alpha particles)이 침투하는 것을 방지한다. 상기 알파입자들은 상기 반도체 칩 내에 형성된 PN 접합의 공핍층 내에 생성되거나 유기되는(induced) 전하들을 소멸시킨다. 상기 반도체 칩들이 메모리 셀들을 갖는 휘발성(volatile) 메모리 소자들인 경우에, 상기 메모리 셀들의 각각은 상기 PN 접합에 접속된 데이터 저장 요소(data storage element)를 포함한다. 예를 들면, 상기 메모리 셀들이 디램 셀인 경우에, 상기 데이터 저장 요소는 셀 커패시터에 해당한다. 이 경우에, 상기 셀 커패시터 내에 저장된 데이터(전하들)는 상기 알파입자들에 의해 소멸될 수 있다. 결론적으로, 상기 폴리이미드막은 반도체소자의 신뢰성을 향상시키기 위하여 필수적으로 요구되는 물질막이다.

<8> 최근에, 상기 후반공정들을 단순화시키기(simplify) 위하여 일반적인 포토레지스트막의 특성을 갖는 감광성 폴리이미드막이 반도체소자의 제조에 널리 사용되고 있다.

<9> 도 1 및 도 2는 상기 감광성 폴리이미드막을 사용하는 종래의 반도체소자의 제조방법을 설명하기 위한 도면들이다. 도 1 및 도 2에 있어서, 참조부호들 "M" 및 "P"는 각각 내부회로 영역(an internal circuit region) 및 패드 영역(a pad region)을 나타낸다.

<10> 도 1을 참조하면, 반도체기판(11) 상에 층간절연막(13)을 형성한다. 상기 패드 영역(P) 내의 상기 층간절연막(13) 상에 패드들(15)을 형성한다. 상기 패드들(15)을 갖는 반도체기판의

전면 상에 패시베이션막(17)을 형성한다. 상기 패시베이션막(17)은 실리콘 질화막의 단일막(a single layer) 또는 실리콘 산화막 및 실리콘 질화막의 조합막(a combination layer)으로 형성한다. 상기 패시베이션막(17) 상에 감광성 폴리이미드막(19)을 형성한다.

<11> 도 2를 참조하면, 상기 감광성 폴리이미드막(19)을 갖는 반도체기판 상에 상기 패드들(15)을 노출시키기 위한 포토 마스크(도시하지 않음)를 사용하여 빛을 조사한다. 그 결과, 상기 빛의 대부분이 상기 패드들(15) 상에 선택적으로 조사되어 상기 패드들(15) 상부에 정상적인 노광영역들(19n)을 형성한다. 그러나, 상기 노광공정 동안 상기 포토 마스크가 로딩되는 스테퍼와 같은 노광 장비 내에서 상기 빛의 회절 및/또는 반사에 의해 상기 내부회로 영역(M) 내의 상기 감광성 폴리이미드막 상에 반사광들이 조사될 수 있다. 이 경우에, 도 2에 도시된 바와 같이 상기 감광성 폴리이미드막의 일부가 노광되어 비정상적인 노광영역들(19a), 즉 원하지 않는 노광영역들이 형성된다. 특히, 상기 반사광들이 상기 포토 마스크에 형성된 바코드 영역 및/또는 마스크 정렬키 영역을 통과하고 상기 감광성 폴리이미드막(19) 상에 조사되는 경우에, 상기 비정상적인 노광영역들(19a)은 상기 바코드 및/또는 마스크 정렬키들의 패턴들에 상응하는 이미지들을 갖도록 형성된다. 이러한 이미지들은 고스트 이미지들(ghost images)이라고 언급된다.

<12> 상기 정상적인 노광영역들(19n)과 아울러서 상기 비정상적인 노광영역들(19a)들은 후속의 현상 공정을 실시하는 동안 제거되어 상기 패드들(15) 상의 패시베이션막(17)을 노출시킨다. 이 경우에, 상기 내부회로 영역(M) 내의 상기 감광성 폴리이미드막은 상기 비정상적인 노광영역(19a)의 제거에 기인하여 불균일한 두께를 갖는다. 특히, 상기 감광성 폴리이미드막(19)의 두께는 고성능 패키지(high performance package)를 구현하기 위하여 점점 감소하는 경향을 보이고 있다. 이 경우에, 상기 현상된 감광성 폴리이미드막의 두께는 더욱 불균일해

질 수 있다. 이러한 감광성 폴리이미드막의 불균일한 두께는 상기 패시베이션막(17)의 크랙 (crack) 및 소프트 에러 발생율(soft error rate; SER)의 증가를 유발시킬 수 있다(cause). 이
어서, 도시하지는 않았지만, 상기 현상된 감광성 폴리이미드막을 식각 마스크로 사용하여 상기
노출된 패시베이션막(17)을 식각하여 상기 패드들(15)을 선택적으로 노출시킨다.

<13> 상기 반사광들은 상기 패드들(15) 상에 조사되는 정상적인 빛에 비하여 상대적으로 낮은
에너지를 갖는다. 그럼에도 불구하고, 상기 반사광들은 상술한 바와 같이 상기 감광성 폴리이
미드막(19)의 소정영역들을 노광시키기에 충분한 에너지를 갖는다. 이는, 상기 감광성 폴리이
미드막(19)이 도 3에 도시된 바와 같이 통상의 포토레지스트막에 비하여 불량한 광감도(poor
photo sensitivity)를 갖기 때문이다.

<14> 구체적으로, 도 3에 있어서, 가로축(the abscissa)은 노광 에너지(E)를 나타내고, 세로
축(the ordinate)은 현상률(develop rate; R)을 나타낸다. 또한, 곡선 ①은 통상의 포토레지스
트막의 노광 특성을 보여주고, 곡선 ②는 상기 감광성 폴리이미드막의 노광 특성을 보여준다.

<15> 도 3을 참조하면, 상기 감광성 폴리이미드막은 임계 에너지(critical energy; E_c)보다
낮은 노광 에너지에서 상기 통상의 포토레지스트막보다 빠른 현상률을 보인다. 여기서, 상기
임계 에너지는 상기 통상의 포토레지스트막 및 감광성 폴리이미드막의 정상적인 노광에 요구되
는 노광 에너지의 범위를 한정하는 기준 에너지(reference energy)에 해당한다. 상기 반사광들
은 상기 임계 에너지(E_c)보다 낮은 노광 에너지를 갖는다. 그럼에도 불구하고, 상기 반사광들
은 감광성 폴리이미드막(19) 내에 상기 비정상적인 노광영역(19a)을 유발시킨다. 상기 반사광
들은 통상의 포토레지스트막을 사용하는 사진 공정을 실시하는 동안에도 발생할 수 있다. 그러
나, 상기 통상의 포토레지스트막은 도 3에 도시된 바와 같이 상기 임계 에너지(E_c)보다 낮은
노광 에너지에서 상기 감광성 폴리이미드막에 비하여 현저히 느린 현상률을 보인다. 이는 상기

통상의 포토레지스트막이 상기 반사광들에 의해 쉽게 노광되지 않는 것으로 이해될 수 있다. 결과적으로, 상기 감광성 폴리이미드막을 사용하여 노광공정을 실시하는 경우에, 상기 고스트 이미지들에 해당하는 비정상적인 노광영역들(19a)이 심하게 형성될 수 있다.

<16> 결론적으로, 상기 감광성 폴리이미드막을 사용하여 사진공정을 실시하는 경우에, 반사광들에 기인하여 상기 감광성 폴리이미드막 내에 고스트 이미지들이 형성되는 것을 방지하기가 어렵다.

<17> 한편, 상기 감광성 폴리이미드막을 사용하여 반도체소자를 제조하는 방법이 일본공개특허공보 제2001-94056호(Japanese laid-open patent number 2001-94056)에 개시된 바 있다. 상기 일본공개특허공보 제2001-94056호에 따르면, 패드들을 갖는 반도체기판의 전면 상에 패시베이션막, 포지티브 감광성 폴리이미드막 및 포지티브 포토레지스트막을 차례로 형성한다. 상기 포지티브 포토레지스트막은 상기 패드들을 노출시키기 위한 후속의 식각 공정에서 식각 마스크로 사용된다. 따라서, 상기 포지티브 포토레지스트막은 적어도 5000Å의 두께로 형성되어야 한다. 이 경우에, 상기 포지티브 포토레지스트막 및 상기 포지티브 감광성 폴리이미드막을 노광시키기 위한 에너지는 통상의 사진 공정에서 요구되는 노광 에너지에 비하여 현저히 높아야 한다. 이러한 노광 에너지의 증가는 반도체소자의 생산성(throughput)의 저하(degradation)와 아울러서 상기 후속의 식각공정에서의 패드 오픈 불량(pad open fail)을 초래할 수 있다. 또한, 상기 포지티브 포토레지스트막은 상기 패드들을 노출시킨 후에 제거되어야 한다. 이 경우에, 상기 감광성 폴리이미드막에 가해지는 손상(damage) 없이 상기 포지티브 포토레지스트막을 선택적으로 제거하는 것이 어렵다.

【발명이 이루고자 하는 기술적 과제】

<18> 본 발명이 이루고자 하는 기술적 과제는 감광성 폴리이미드막을 사용하는 노광공정 동안 원하지 않는 이미지들이 상기 감광성 폴리이미드막의 표면에 형성되는 것을 방지할 수 있는 반도체소자의 제조방법을 제공하는 데 있다.

<19> 본 발명이 이루고자 하는 다른 기술적 과제는 감광성 폴리이미드막의 신뢰성을 향상시킬 수 있는 반도체소자의 제조방법을 제공하는 데 있다.

【발명의 구성 및 작용】

<20> 상기 기술적 과제들을 이루기 위하여 본 발명은 반도체소자의 제조방법을 제공한다. 이 방법은 반도체기판 상부에 감광성 폴리이미드막 및 포토레지스트막을 차례로 형성하는 것을 포함한다. 상기 포토레지스트막은 500Å 또는 그보다 작은 두께로 형성한다. 상기 포토레지스트막 및 상기 감광성 폴리이미드막을 포토 마스크를 사용하여 노광시킨다.

<21> 본 발명의 일 양태에 따르면, 감광성 폴리이미드막을 사용하여 패드들을 갖는 반도체소자의 제조방법이 제공된다. 이 방법은 반도체기판 상에 층간절연막을 형성하고, 상기 층간절연막 상에 패드들을 형성하는 것을 포함한다. 상기 패드들을 갖는 반도체기판의 전면 상에 패시베이션막을 형성한다. 상기 패시베이션막은 상기 패드들을 노출시키는 개구부들을 갖도록 형성될 수 있다. 상기 패시베이션막을 갖는 반도체기판의 전면 상에 감광성 폴리이미드막 및 포토레지스트막을 차례로 형성한다. 상기 포토레지스트막은 500Å보다 작은 두께를 갖도록 형성되는 것이 바람직하다. 상기 포토레지스트막 및 상기 감광성 폴리이미드막을 포토 마스크를 사용하여 노광시킨다.



<22> 이하, 첨부한 도면들을 참조하여 본 발명의 바람직한 실시예들을 상세히 설명하기로 한다. 그러나, 본 발명은 여기서 설명되어지는 실시예들에 한정되지 않고 다른 형태로 구체화될 수도 있다. 오히려, 여기서 소개되는 실시예들은 개시된 내용이 철저하고 완전해질 수 있도록 그리고 당업자에게 본 발명의 사상이 충분히 전달될 수 있도록 하기 위해 제공되어지는 것이다. 도면들에 있어서, 층 및 영역들의 두께는 명확성을 기하기 위하여 과장되어진 것이다. 명세서 전체에 걸쳐서 동일한 참조번호들은 동일한 구성요소들을 나타낸다.

<23> 도 4 내지 도 7은 본 발명의 실시예에 따른 반도체소자의 제조방법을 설명하기 위한 단면도들이고, 도 8은 본 발명에 따른 반도체소자의 제조에 사용되는 감광성 폴리이미드막의 노광공정을 설명하기 위한 스테퍼의 개략도이다. 도 4 내지 도 7에 있어서, 참조부호 "P"로 표시된 영역은 패드영역에 해당하고, 참조부호 "M"으로 표시된 영역은 반도체 칩의 내부회로 영역(internal circuit region)에 해당한다. 상기 패드영역(P) 및 상기 내부회로 영역(M)은 하나의 메인 칩 내에 위치할 수 있다. 이와는 달리, 상기 패드영역(P) 및 상기 내부회로 영역(M)은 각각 서로 이격된 메인 칩들 내에 위치할 수도 있다.

<24> 도 4를 참조하면, 패드영역(P) 및 내부회로 영역(M)을 갖는 반도체기판(51) 상에 층간절연막(53)을 형성한다. 상기 층간절연막(53) 상에 금속막과 같은 도전막을 형성한다. 상기 도전막을 패터닝하여 상기 패드영역(P) 내의 상기 층간절연막(53) 상에 복수개의 패드들(55)을 형성한다. 상기 패드들(55)을 갖는 반도체기판의 전면 상에 패시베이션막(57)을 형성한다. 상기 패시베이션막(57)은 CVD 산화막 및 CVD 질화막을 차례로 적층시켜 형성할 수 있다.

<25> 도 5를 참조하면, 상기 패시베이션막(57)을 통상의 사진/식각 공정을 사용하여 패터닝하여 상기 패드들(55)을 노출시키는 개구부들(57a)을 형성한다. 상기 개구부들(57a)을 갖는 반도체기판의 전면 상에 감광성 폴리이미드막(59) 및 포토레지스트막(61)을 차례로 형성한다. 상기



감광성 폴리이미드막(59) 및 상기 포토레지스트막(61)은 포지티브형일 수 있다. 상기 포토레지스트막(61)의 형성은 상기 감광성 폴리이미드막(59) 상에 액상의 포토레지스트(liquid photoresist)를 도포하는 것(coating)과 상기 도포된 액상의 포토레지스트를 노광전 베이크(pre-exposure bake)하는 것을 포함할 수 있다. 이 경우에, 상기 액상의 포토레지스트는 상기 감광성 폴리이미드막(59)을 용해시키지 않는 용매(solvent)를 함유하여야 한다.

<26> 이에 더하여, 상기 포토레지스트막(61)은 도 2에서 설명된 반사광들이 상기 감광성 폴리이미드막(59) 내부로 침투하는 것을 방지하기에 충분한 두께로 형성하는 것이 바람직하다. 다시 말해서, 상기 포토레지스트막(61)은 상기 반사광들에 기인하여 상기 감광성 폴리이미드막이 노광되는 것을 방지하기에 충분한 두께로 형성하는 것이 바람직하다. 또한, 상기 포토레지스트막(61)은 TMAH(tetra-methyl-ammonium-hydroxide)와 같은 현상액(developer)을 사용하는 현상공정 동안 완전히 제거될 수 있는 얇은 두께로 형성하는 것이 바람직하다. 결론적으로, 상기 포토레지스트막(61)의 두께(T)는 500Å 또는 그 보다 작은 것이 바람직하다.

<27> 도 6 및 도 8을 참조하면, 상기 포토레지스트막(61)을 갖는 반도체기판(5a)을 렌즈 유닛(1) 및 블레이드(blade; 7)를 구비하는 스텝퍼(stepper) 내로 로딩시킨다. 상기 블레이드(7)는 상기 렌즈 유닛(1)의 상부에 위치하고, 상기 반도체기판(5a)은 상기 렌즈 유닛(1)의 하부에 로딩된다. 상기 렌즈 유닛(1)은 빛을 축소시키는 기능을 갖는다. 이에 더하여, 상기 블레이드(7) 및 상기 렌즈 유닛(1) 사이의 영역 내로 포토 마스크(3)가 로딩된다. 상기 포토 마스크(3)는 그 중심부에 형성된 적어도 하나의 집적회로 영역(3c)을 갖는다. 상기 포토 마스크(3)가 패드창(pad window) 레티클인 경우에, 상기 집적회로 영역(3c)은 도 5에 보여진 상기 패드들(55) 상의 상기 감광성 폴리이미드막(59) 및 상기 포토레지스트막(61)을 선택적으로 노광시키기 위한 차광 패턴(opaque pattern)을 갖는다. 또한, 상기 포토 마스크(3)는 상기 집적

회로 영역(3c)에 인접한 바코드 영역(3a) 및 마스크 정렬키 영역(mask alignment key region; 3b)을 갖는다. 상기 바코드 영역(3a)은 상기 포토 마스크(3)의 고유 번호(identification)에 해당하는 바코드 패턴을 포함하고, 상기 마스크 정렬키 영역(3b)은 정렬키 패턴들을 포함한다. 상기 바코드 패턴 및 상기 정렬키 패턴들은 상기 포토 마스크(3)의 인식(recognition) 및 정렬(alignment)에 사용된다.

<28> 계속해서, 상기 포토 마스크(3)를 정렬한 후에, 상기 스테퍼 내에 설치된 광원(도시하지 않음)으로부터의 빛(9a, 9b)이 상기 포토 마스크(3) 내의 상기 집적회로 영역(3c)만을 통과하도록 상기 블레이드(7)의 개구 영역(opening area)을 조절한다. 상기 빛(9a, 9b)은 g 광선, i 광선, KrF 레이저 또는 ArF 레이저일 수 있다. 상기 빛이 i 광선인 경우에, 상기 포토레지스트 막(61)은 약 300Å의 두께로 형성될 수 있다.

<29> 상기 블레이드(7)의 개구영역의 중심부를 통과하는 제1 빛(9a)의 대부분은 상기 포토 마스크(3)의 집적회로 영역(3c) 및 상기 렌즈 유니트(1)를 통과하고 상기 반도체기판(5a)의 적어도 하나의 선택된 메인 칩(MC3) 내의 패드 영역(P) 상에

조사된다. 좀 더 구체적으로, 상기 제1 빛(9a)은 상기 선택된 메인 칩(MC3) 내의 패드들(55) 상의 감광성 폴리이미드막(59) 및 포토레지스트막(61)을 노광시킨다. 그 결과, 상기 선택된 메인 칩(MC3) 내의 패드들(55) 상부에 정상적인 노광영역들(normal exposure regions; 61n)이 형성된다. 그러나, 상기 제1 빛(9a)의 일 부분은 상기 렌즈 유니트(1)의 표면상에서 반사될 수 있다. 그 결과, 상기 포토 마스크(3)를 통과하는 제1 반사광(9a')이 생성될 수 있다. 상기 제1 반사광(9a')은 상기 블레이드(7)의 하부면 상에서 반사되고 상기 바코드 영역(3a) 및/또는 상기 마스크 정렬키 영역(3b)을 통과할 수 있다. 이 경우에, 상기 제1 반사광(9a')은 상기 선택된 메인 칩(MC3)에 인접한 비선택된(non-selected) 메인 칩들(MC1, MC2, MC4, MC5) 및/또는 상기 선택된 메인 칩(MC3) 상에 조사될 수 있다. 그 결과, 도 6에 도시된 바와 같이, 상기 메인 칩들(MC1, ..., MC5)중 적어도 하나의 내부회로 영역들(M) 상에 상기 제1 반사광(9a')이 조사될 수 있다. 그러나, 이 경우에, 상기 제1 반사광(9a')은 상기 포토레지스트막(61)의 존재에 기인하여 상기 감광성 폴리이미드막(59) 내부로 침투하지 못한다. 따라서, 상기 제1 반사광(9a')은 상기 포토레지스트막(61)의 소정영역들만을 노광시키어 상기 포토레지스트막(61) 내에 비정상적인 노광영역들(61a)을 형성한다. 즉, 상기 포토레지스트막(61)은 상기 감광성 폴리이미드막(59)이 상기 제1 반사광(9a')에 의해 노광되는 것을 방지한다.

<30> 더 나아가서, 상기 블레이드(7)의 개구영역의 가장자리를 통과하는 제2 빛(9b)은 상기 집적회로 영역(3a)에 인접한 포토 마스크 기판의 표면을 향하여 회절될 수 있다(diffracted). 그 결과, 상기 포토 마스크 기판의 표면 상에서 반사되는 제2 반사광(9b')이 생성될 수 있다. 상기 제2 반사광(9b')은 상기 블레이드(7)의 하부면 상에서 다시 반사되고 상기 바코드 영역(3a) 및/또는 상기 마스크 정렬키 영역(3b)을 통과할 수 있다. 상기 제2 반사광(9b') 역시 상기 포토레지스트막(61)의 존재에 기인하여 상기 감광성 폴리이미드막(59) 내부로 침투하지 못

한다. 이에 따라, 상기 비정상적인 노광영역들(61a)은 상기 제2 반사광(9b')에 의해서도 형성될 수도 있다.

<31> 도 7을 참조하면, 상기 노광된 감광성 폴리이미드막 및 상기 노광된 포토레지스트막을 TMAH(tetra-methyl-ammonium-hydroxide)와 같은 현상액(developer)을 사용하여 현상한다. 그 결과, 상기 정상적인 노광영역(61n) 및 비정상적인 노광영역(61a)이 제거되어 상기 패드들(55)을 노출시키는 패드창(pad window; 57b)을 형성한다. 상기 현상 공정 동안 상기 비정상적인 노광영역(61a)과 아울러서 상기 비노광된(non-exposed) 포토레지스트막 역시 완전히 제거된다. 이는 일반적인 포토레지스트막이 노광되지 않을지라도 상기 비노광된 포토레지스트막은 "0"보다 큰 현상률(develop rate)을 보이기 때문이다. 따라서, 상술한 바와 같이 상기 포토레지스트막을 500Å 이하의 적절한 두께로 형성하는 경우에, 상기 현상 공정 동안 상기 포토레지스트막(61)은 완전히 제거될 수 있다. 이어서, 상기 현상된 감광성 폴리이미드막을 통상의 노광후 베이킹(post-exposure bake) 공정을 사용하여 경화시킨다.

【발명의 효과】

<32> 상술한 바와 같이 본 발명의 실시예에 따르면, 감광성 폴리이미드막 상에 500Å 이하의 얇은 두께를 갖는 포토레지스트막을 형성한다. 이에 따라, 상기 감광성 폴리이미드막의 소정영역들을 선택적으로 노광하는 동안에 상기 선택된 소정영역에 인접한 감광성 폴리이미드막 상에 비정상적인 빛이 조사될지라도, 상기 포토레지스트막의 존재에 기인하여 상기 비정상적인 빛이 상기 감광성 폴리이미드막을 노광시키는 것을 방지할 수 있다. 또한, 상기 포토레지스트막은 현상 공정 동안 완전히 제거된다. 따라서, 상기 포토레지스트막을 제거하기 위한 추가 스트립 공정이 요구되지 않는다.

【특허청구범위】**【청구항 1】**

반도체기판 상부에 감광성 폴리이미드막을 형성하고,

상기 감광성 폴리이미드막 상에 포토레지스트막을 형성하되, 상기 포토레지스트막은 500Å 또는 그보다 작은 두께로 형성하고,

상기 포토레지스트막 및 상기 감광성 폴리이미드막을 포토 마스크를 사용하여 노광시키는 것을 포함하는 반도체소자의 제조방법.

【청구항 2】

제 1 항에 있어서,

상기 감광성 폴리이미드막 및 상기 포토레지스트막은 포지티브형인 것을 특징으로 하는 반도체소자의 제조방법.

【청구항 3】

제 1 항에 있어서,

상기 감광성 폴리이미드막 및 상기 포토레지스트막을 노광시키는 것은 동일한 빛을 사용하여 실시하는 것을 특징으로 하는 반도체소자의 제조방법.

【청구항 4】

제 3 항에 있어서,

상기 동일한 빛은 g 광선(g-line), i 광선(i-line), KrF 레이저 또는 ArF 레이저인 것을 특징으로 하는 반도체소자의 제조방법.

**【청구항 5】**

제 1 항에 있어서,

상기 포토 마스크는 그 중심부에 위치하는 적어도 하나의 집적회로 영역과 아울러서 상기 적어도 하나의 집적회로 영역에 인접하는 바코드 영역 및 마스크 정렬키 영역을 구비하도록 제작된 것을 특징으로 하는 반도체소자의 제조방법.

【청구항 6】

제 5 항에 있어서,

상기 감광성 폴리이미드막 및 상기 포토레지스트막을 노광시키는 것은 상기 적어도 하나의 집적회로 영역만을 개구시키는 블레이드를 사용하여 실시하는 것을 특징으로 하는 반도체소자의 제조방법.

【청구항 7】

제 6 항에 있어서,

상기 감광성 폴리이미드막 및 상기 포토레지스트막을 노광시키는 동안 상기 블레이드의 개구부를 통과하는 빛의 일 부분은 회절 및/또는 반사에 기인하여 상기 바코드 영역 및/또는 상기 마스크 정렬키 영역을 통과함으로써 상기 포토레지스트막의 소정영역들 상에 조사되고, 상기 포토레지스트막의 두께는 상기 바코드 영역 및/또는 상기 마스크 정렬키 영역을 통과하는 상기 회절광(diffracted light) 및/또는 상기 반사광(reflected light)에 기인하여 노광되는 영역의 깊이와 동일하거나 큰 것을 특징으로 하는 반도체소자의 제조방법.

【청구항 8】

제 1 항에 있어서,

상기 포토레지스트막 및 상기 감광성 폴리이미드막을 노광시킨 후에,

상기 포토레지스트막 및 상기 감광성 폴리이미드막을 현상하는 것을 더 포함하는 것을 특징으로 하는 반도체소자의 제조방법.

【청구항 9】

제.9 항에 있어서,

상기 포토레지스트막은 상기 현상 공정 동안 제거되는 것을 특징으로 하는 반도체소자의 제조방법.

【청구항 10】

반도체기판 상에 층간절연막을 형성하고,

상기 층간절연막 상에 패드들을 형성하고,

상기 패드들을 갖는 반도체기판의 전면 상에 패시베이션막을 형성하되, 상기 패시베이션막은 상기 패드들을 노출시키는 개구부들을 갖도록 형성되고,

상기 패시베이션막을 갖는 반도체기판의 전면 상에 감광성 폴리이미드막을 형성하고,

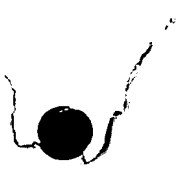
상기 감광성 폴리이미드막 상에 포토레지스트막을 형성하되, 상기 포토레지스트막은 500 Å보다 작은 두께를 갖도록 형성되고,

상기 포토레지스트막 및 상기 감광성 폴리이미드막을 포토 마스크를 사용하여 노광시키는 것을 포함하는 반도체소자의 제조방법.

【청구항 11】

제 10 항에 있어서,

상기 패드들은 도전막으로 형성하는 것을 특징으로 하는 반도체소자의 제조방법.



【청구항 12】

제 10 항에 있어서,

상기 감광성 폴리이미드막 및 상기 포토레지스트막을 노광시키는 것은 g 광선, i 광선, KrF 레이저 또는 ArF 레이저를 사용하여 실시하는 것을 특징으로 하는 반도체소자의 제조방법.

【청구항 13】

제 10 항에 있어서,

상기 포토 마스크는 그 중심부에 위치하는 적어도 하나의 집적회로 영역과 아울러서 상기 적어도 하나의 집적회로 영역에 인접한 바코드 영역 및 마스크 정렬키 영역을 구비하도록 제작되고, 상기 적어도 하나의 집적회로 영역은 상기 패드들을 오픈시키기 위한 차광패턴을 갖는 것을 특징으로 하는 반도체소자의 제조방법.

【청구항 14】

제 13 항에 있어서,

상기 감광성 폴리이미드막 및 상기 포토레지스트막을 노광시키는 것은 상기 적어도 하나의 집적회로 영역만을 개구시키는 블레이드를 사용하여 실시하는 것을 특징으로 하는 반도체소자의 제조방법.

【청구항 15】

제 14 항에 있어서,

상기 감광성 폴리이미드막 및 상기 포토레지스트막을 노광시키는 동안 상기 블레이드의 개구부를 통과하는 빛의 일 부분은 회절 및/또는 반사에 기인하여 상기 바코드 영역 및/또는 상기 마스크 정렬키 영역을 통하여 상기 포토레지스트막의 소정영역들 상에 조사되고, 상기 포

토레지스트막의 두께는 상기 바코드 영역 및/또는 상기 마스크 정렬키 영역을 통과하는 상기 회절광 및/또는 상기 반사광에 기인하여 노광되는 영역의 깊이와 동일하거나 큰 것을 특징으로 하는 반도체소자의 제조방법.

【청구항 16】

제 10 항에 있어서,

상기 포토레지스트막 및 상기 감광성 폴리이미드막을 노광시킨 후에,

상기 포토레지스트막 및 상기 감광성 폴리이미드막을 현상하여 상기 패드들을 노출시키는 패드 창들(pad windows)을 형성하는 것을 더 포함하는 것을 특징으로 하는 반도체소자의 제조방법.

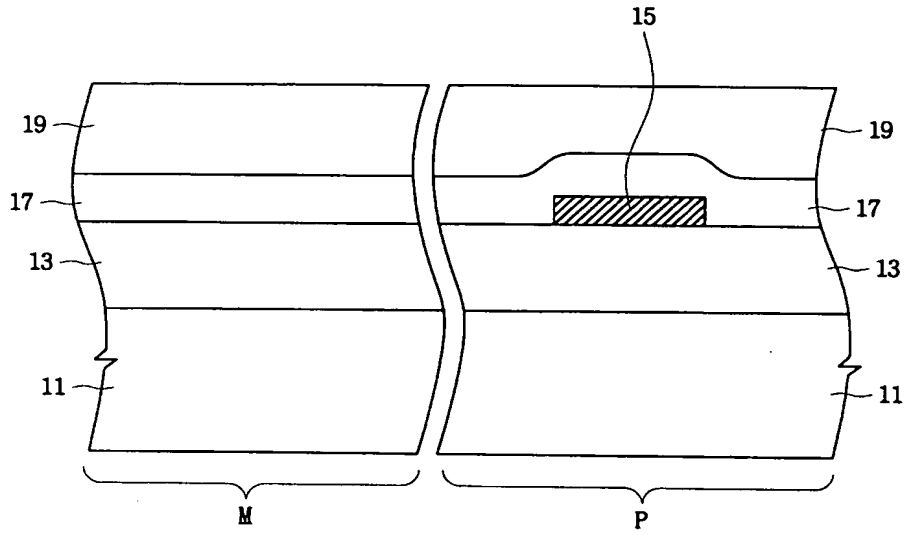
【청구항 17】

제 16 항에 있어서,

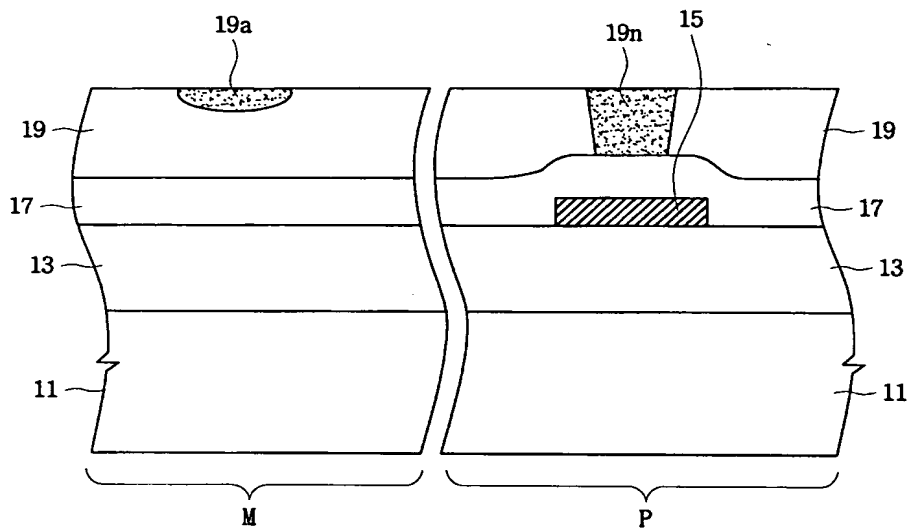
상기 포토레지스트막은 상기 현상 공정 동안 제거되는 것을 특징으로 하는 반도체소자의 제조방법.

【도면】

【도 1】



【도 2】

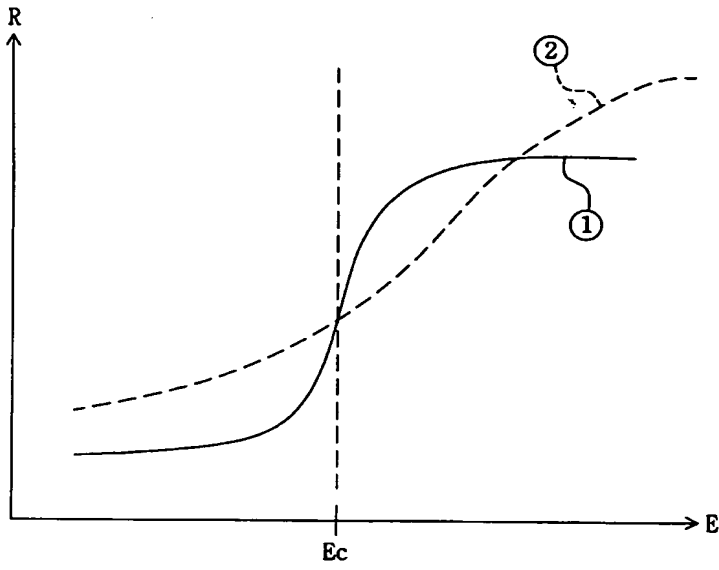




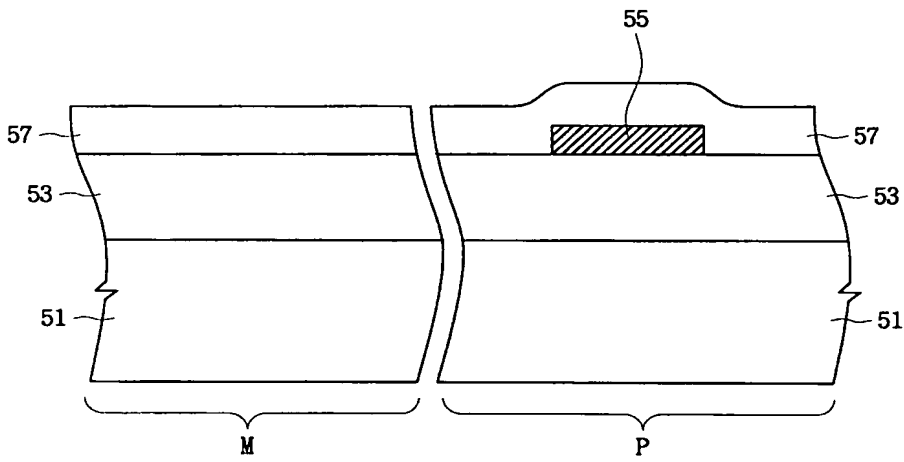
1020030054762

출력 일자: 2004/3/13

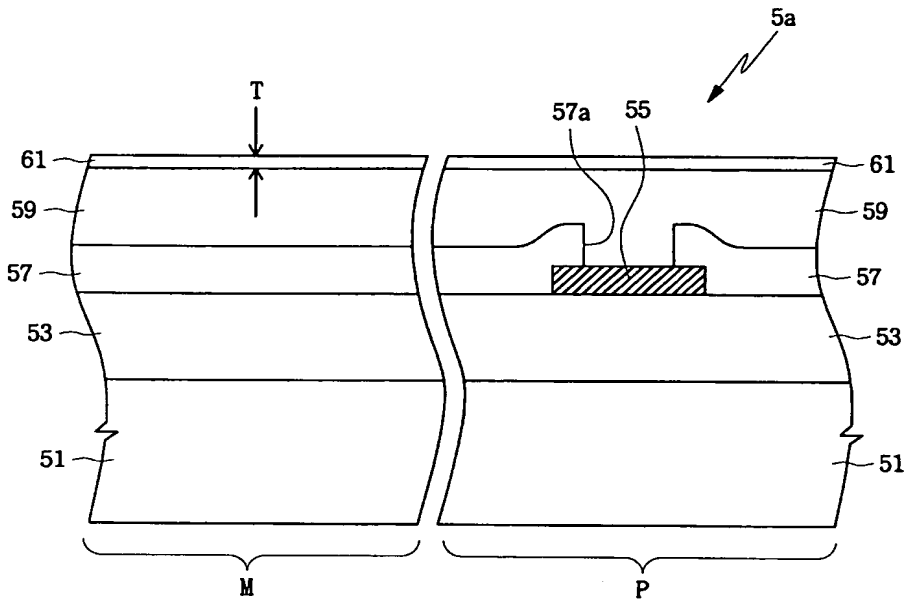
【도 3】



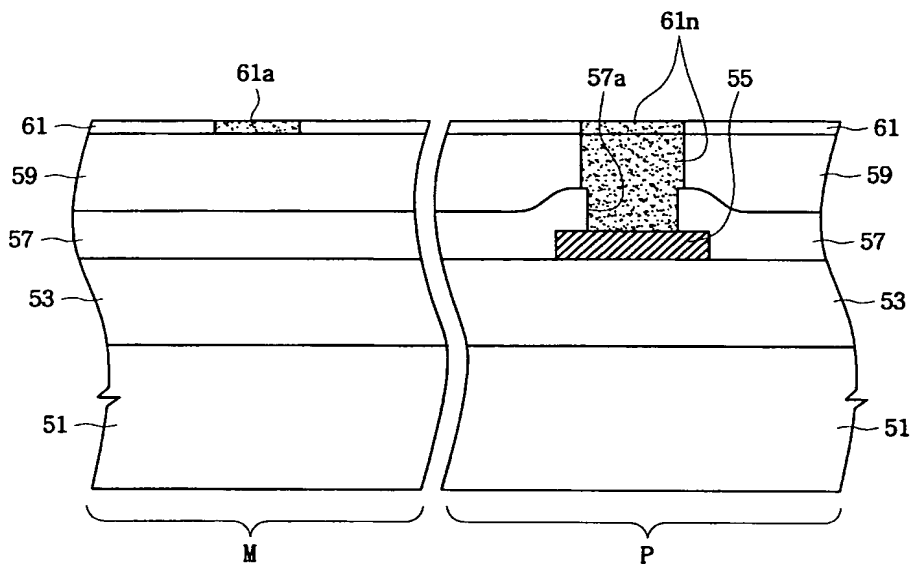
【도 4】



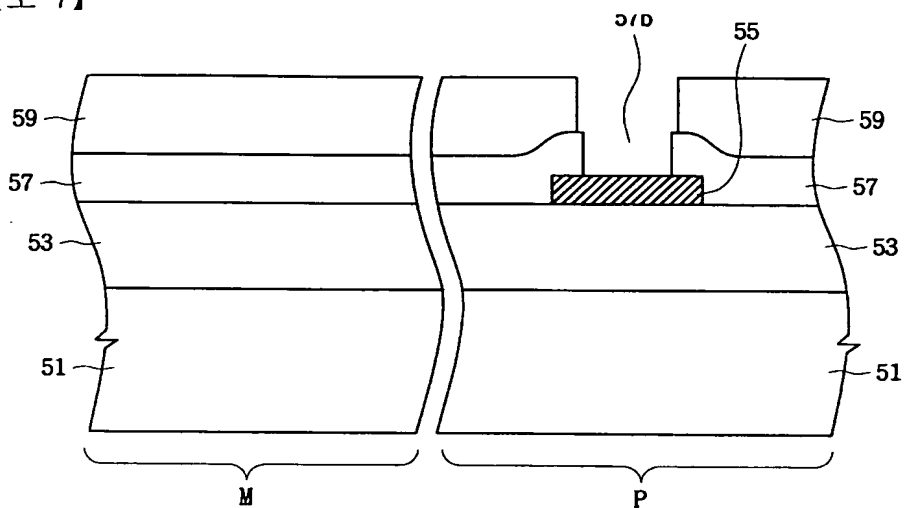
【도 5】



【도 6】



【도 7】



【도 8】

